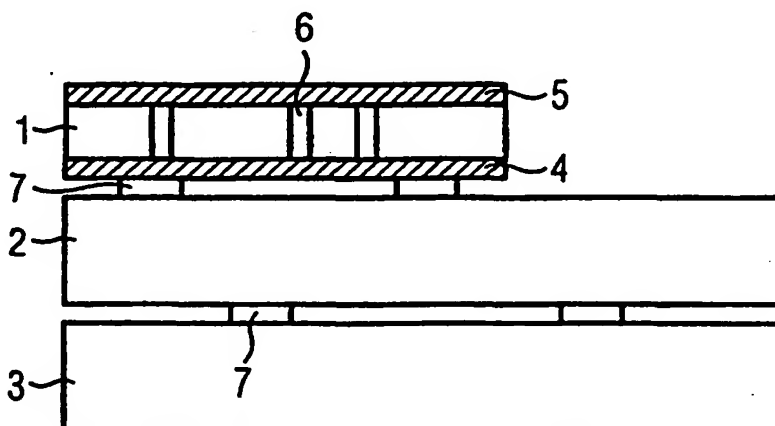


**PCT**  
 WELTORGANISATION FÜR GEISTIGES EIGENTUM  
 Internationales Büro  
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



<p>(51) Internationale Patentklassifikation <sup>7</sup> : <b>H01L 25/18, 23/64</b></p>	<b>A1</b>	<p>(11) Internationale Veröffentlichungsnummer: <b>WO 00/39853</b></p> <p>(43) Internationales Veröffentlichungsdatum: <b>6. Juli 2000 (06.07.00)</b></p>		
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top; padding: 5px;"> <p>(21) Internationales Aktenzeichen: <b>PCT/DE99/04032</b></p> <p>(22) Internationales Anmeldedatum: <b>20. Dezember 1999 (20.12.99)</b></p> <p>(30) Prioritätsdaten: <b>198 60 077.1      23. Dezember 1998 (23.12.98)    DE</b></p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): <b>INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).</b></p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): <b>PAPADOPOULOS, Constantin [GR/DE]; Nimrodstrasse 12, D-85521 Ottobrunn (DE).</b></p> <p>(74) Gemeinsamer Vertreter: <b>INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).</b></p> </td> <td style="width: 50%; vertical-align: top; padding: 5px;"> <p>(81) Bestimmungsstaaten: <b>BR, CN, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</b></p> <p><b>Veröffentlicht</b>  <i>Mit internationalem Recherchenbericht.            Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p> </td> </tr> </table>			<p>(21) Internationales Aktenzeichen: <b>PCT/DE99/04032</b></p> <p>(22) Internationales Anmeldedatum: <b>20. Dezember 1999 (20.12.99)</b></p> <p>(30) Prioritätsdaten: <b>198 60 077.1      23. Dezember 1998 (23.12.98)    DE</b></p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): <b>INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).</b></p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): <b>PAPADOPOULOS, Constantin [GR/DE]; Nimrodstrasse 12, D-85521 Ottobrunn (DE).</b></p> <p>(74) Gemeinsamer Vertreter: <b>INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).</b></p>	<p>(81) Bestimmungsstaaten: <b>BR, CN, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</b></p> <p><b>Veröffentlicht</b>  <i>Mit internationalem Recherchenbericht.            Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>
<p>(21) Internationales Aktenzeichen: <b>PCT/DE99/04032</b></p> <p>(22) Internationales Anmeldedatum: <b>20. Dezember 1999 (20.12.99)</b></p> <p>(30) Prioritätsdaten: <b>198 60 077.1      23. Dezember 1998 (23.12.98)    DE</b></p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): <b>INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).</b></p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): <b>PAPADOPOULOS, Constantin [GR/DE]; Nimrodstrasse 12, D-85521 Ottobrunn (DE).</b></p> <p>(74) Gemeinsamer Vertreter: <b>INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).</b></p>	<p>(81) Bestimmungsstaaten: <b>BR, CN, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</b></p> <p><b>Veröffentlicht</b>  <i>Mit internationalem Recherchenbericht.            Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>			
<p>(54) Title: <b>VERTICALLY INTEGRATED SEMICONDUCTOR ARRANGEMENT</b></p> <p>(54) Bezeichnung: <b>VERTIKAL INTEGRIERTE HALBLEITERANORDNUNG</b></p> <p>(57) Abstract</p> <p style="margin-left: 20px;">The invention relates to a vertically integrated semiconductor arrangement with a first semiconductor chip and at least a second semiconductor chip which are arranged on top of each other. At least one semiconductor chip is provided with an integrated circuit and at least one semiconductor chip is embodied as a passive component.</p> <p>(57) Zusammenfassung</p> <p style="margin-left: 20px;">Die Erfindung schlägt eine vertikal integrierte Halbleiteranordnung mit einem ersten Halbleiterchip (1) und zumindest einem zweiten Halbleiterchip (2, 3), die übereinanderliegend angeordnet sind, vor, wobei zumindest ein Halbleiterchip eine integrierte Schaltung aufweist und zumindest ein Halbleiterchip als passives Bauelement ausgebildet ist.</p>				



# **LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidsschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland		Republik Mazedonien	TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von
CA	Kanada	IT	Italien	MX	Mexiko		Amerika
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun		Korea	PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

## Beschreibung

## Vertikal integrierte Halbleiteranordnung

5 Die Erfindung betrifft eine Halbleiteranordnung mit einem ersten und zumindest einem zweiten Halbleiterchip, die übereinanderlegend angeordnet sind, wobei mindestens einer der Halbleiterchips eine integrierte Schaltung aufweist. Die Halbleiteranordnung kommt insbesondere in kontaktlosen Datenträgern  
10 zum Einsatz.

Aus dem Stand der Technik sind kontaktlos arbeitende Datenträger an sich bekannt. Die weit verbreitetsten sind die sogenannten Chipkarten, die durch kontaktlose, elektromagnetische Energie- und/oder Signalübertragung mit einer weiteren,  
15 stationären Schaltungsanordnung zusammenwirkt. Der kontaktlos arbeitende Datenträger weist zu diesem Zweck mindestens eine integrierte Schaltung auf einem Halbleiterchip auf. Ferner enthält dieser eine mit der integrierten Schaltung verbundene  
20 Antennenspule, die beispielsweise auf einem Träger angeordnet ist.

Bei der praktischen Ausführung eines solchen Datenträgers ergeben sich, insbesondere wenn dieser als Chipkarte ausgebildet ist, Schwierigkeiten dadurch, daß die Spule gesondert neben der in dem Halbleiterchip integrierten Schaltung auf einem Trägerkörper aufgebracht ist. Die Spule muß dann über Bondverbindungen sicher mit dem Halbleiterchip verbunden werden. Das Vorsehen eines speziellen Trägers für die Antennenspule erfordern einen, abhängig von der Übertragungseffektivität der Spule, mehr oder weniger großen Platz. Abgesehen davon ist die Fertigung der Antennenspule im Verhältnis zu dem Halbleiterchip teuer. Häufig ist eine Anpassung des Zusammenspiels zwischen der Antennenspule und dem Halbleiterchip notwendig. Dies bedingt ein grundsätzliches Überprüfen,  
35 ob die beiden Komponenten aufgrund ihrer technischen Eigenschaften zusammenpassen. Ist dies nicht der Fall, muß eine

der beiden Komponenten in einen aufwendigen Prozeß abgeändert und variiert werden. Hierdurch ist die Kombination der Antennenspule auf dem Träger beziehungsweise Modul und dem Halbleiterchip teuer.

5

Ist eine Speicherung von Daten außerhalb des elektromagnetischen Feldes einer stationären Schreib-/Lese-Station notwendig, so benötigt der kontaktlose Datenträger einen elektrischen internen Ladungsspeicher. Hierbei bietet sich insbesondere ein Kondensator an. Bei manchen Anwendungen steht jedoch nicht genügend Fläche zur Verfügung, so daß ein großer, interner Kondensator nicht realisiert werden kann.

Dies hat zur Folge, daß viele Anwendungen, bei denen die Verwendung eines kontaktlosen Datenträgers vorteilhaft wäre, aus Kostengründen oder aufgrund der technologischen Randbedingungen, das heißt insbesondere aufgrund fehlender Fläche, nicht realisierbar sind.

Zur Überwindung der Flächenlimitierung wurde bereits vorgeschlagen, die Spule in die integrierte Schaltung mit zu integrieren. Die Spule wird dabei vorzugsweise auf den Halbleiterkörper der integrierten Schaltung aufgebracht, zum Beispiel so, daß sich die Windungen der Antennenspule konzentrisch um die aktive Fläche des Halbleiterkörpers erstrecken. Eine derartige Anordnung ist beispielsweise in der DE 37 21 822 C1 beschrieben. Sind die Abmaße des Halbleiterkörpers zum Beispiel aufgrund fertigungsbedingter Randbedingungen vorgegeben, ist diese Variante (sogenannte Coil-on-Chip) nicht brauchbar, da die auf dem Halbleiterchip angeordnete Antennenspule Platz benötigt, der dann der zu integrierenden Schaltung fehlt.

Der vorliegenden Erfindung liegt deshalb die Aufgabe zugrunde, eine Anordnung, insbesondere für den Einsatz in kontaktlosen Datenträgern, zu schaffen, bei der die oben genannten Nachteile nicht auftreten.

Erfindungsgemäß wird die Aufgabe durch eine vertikal integrierte Halbleiteranordnung mit einem ersten Halbleiterchip und zumindest einem zweiten Halbleiterchip, die übereinanderliegend angeordnet sind, gelöst, wobei zumindest ein Halbleiterchip eine integrierte Schaltung aufweist und zumindest ein Halbleiterchip als passives Bauelement ausgebildet ist. Der erste und der zumindest zweite Halbleiterchip sind dabei über Kontakte miteinander elektrisch verbunden. Als passive Bauelemente können eine Spule und/oder ein Kondensator vorgesehen sein.

Durch die erfindungsgemäße Halbleiteranordnung ergibt sich der Vorteil, daß der Halbleiterchip mit der integrierten Schaltung zum kontaktlosen Betrieb und die Spule und/oder der Kondensator getrennt hergestellt werden können. Die Verbindung zwischen den Halbleiterchips wird mittels vertikaler Systemintegration vorgenommen. Hierbei kann beispielsweise die sogenannte Chip-to-wafer-Technik zum aufeinander Stapeln der Halbleiterchips verwendet werden. Somit läßt sich die Fläche für die integrierte Schaltung und die Fläche, die für die passiven Bauelemente benötigt werden, getrennt voneinander optimieren. Die Herstellung der jeweiligen Komponenten kann dann mittels jeweils geeigneter Technologien realisiert werden, wodurch sich eine hohes Kosteneinsparpotential ergibt. Ist das passive Bauelement als Spule ausgeführt, so ist die Gestaltung der Spule ausschließlich durch die Abmaße des Halbleiterchips begrenzt, auf dem diese vorgesehen werden soll. Das Abmaß dieses Halbleiterchips ist dann lediglich von dem Gehäuse, das die vertikal integrierte Halbleiteranordnung umgibt, abhängig. Somit können im Gegensatz zu aus dem Stand der Technik bekannten Coil-to-Chip-Anwendungen gute Übertragungseffektivitäten erzielt werden.

Es ist weiterhin in vorteilhafter Weise möglich, zusätzliche Schaltungsteile, die einen erhöhten Flächenbedarf aufweisen,

getrennt herzustellen. Dies ist insbesondere bei dem Einsatz von Kondensatoren für die Energiespeicherung interessant.

5 In einer Ausgestaltung der Erfindung sind die integrierte Schaltung, die Spule und der Kondensator jeweils in einem Halbleiterchip untergebracht.

10 In einer alternativen Ausgestaltung könnte die integrierte Schaltung und der Kondensator in dem ersten Halbleiterchip und die Spule in dem zweiten Halbleiterchip vorgesehen sein. Es wäre auch denkbar, die integrierte Schaltung in dem ersten Halbleiterchip und den Kondensator und die Spule in dem zweiten Halbleiterchip unterzubringen.

15 Die Erfindung und deren Vorteile werden anhand der nachfolgenden Figuren näher erläutert. Es zeigen:

20 Figur 1 ein erstes Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung, die aus drei übereinanderliegenden Halbleiterchips besteht,

25 Figur 2 ein zweites Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung, bei der drei übereinanderliegende Halbleiterchips unterschiedliche Größen aufweisen und

Figur 3 ein drittes Ausführungsbeispiel mit zwei übereinanderliegenden Halbleiterchips.

30 Figur 1 zeigt ein erstes Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung mit drei übereinanderliegenden Halbleiterchips 1, 2, 3. Der erste Halbleiterchip 1 weist auf einer ersten Hauptseite eine aktive Struktur 4 auf. Die aktive Struktur 4 beinhaltet mindestens ein Halbleiterbauelement.  
35 Auf der zweiten, der ersten Hauptseite gegenüberliegenden Hauptseite weist der erste Halbleiterchip Kontakte 8 auf, mit denen die Halbleiteranordnung beispielsweise extern kontak-

tiert werden könnte. Da die Erfindung bevorzugt in kontaktlosen Datenträgern zum Einsatz kommt, sind die Kontakte 8 jedoch nicht unbedingt notwendig.

- 5 Der erste Halbleiterchip 1 ist mit dem zweiten Halbleiterchip 2 über Kontakte 7 elektrisch verbunden. Dabei ist die aktive Struktur des ersten Halbleiterchips dem zweiten Halbleiterchip zugewandt. Dadurch kann eine hohe Sicherheit gegen einen unerwünschten Datenzugriff gewährleistet werden. Der zweite
- 10 Halbleiterchip 2 weist beispielsweise ein passives Bauelement, zum Beispiel eine Spule auf. Das Herstellungsverfahren einer auf einem Halbleiterchip integrierten Spule ist aus dem Stand der Technik bekannt. Dieses ist beispielsweise in der US 4,857,893 beschrieben. Da die Herstellungsverfahren als
- 15 bekannt vorausgesetzt werden, wird an dieser Stelle auch nicht näher darauf eingegangen.

- Der zweite Halbleiterchip 2 ist ferner auf der von dem ersten Halbleiterchip abgewandten Seite mit einem dritten Halblei-
- 20 terchip 3 verbunden. Die Verbindung zwischen dem zweiten Halbleiterchip 2 und dem dritten Halbleiterchip 3 findet wieder über Kontakte 7 statt. Der dritte Halbleiterchip 3 kann beispielsweise einen Kondensator zur Energiespeicherung aufweisen. Selbstverständlich könnte der Kondensator auch in dem
- 25 zweiten und die Spule in dem dritten Halbleiterchip untergebracht sein. In dem vorliegenden Ausführungsbeispiel sind die drei Halbleiterchips gleich groß, wodurch ein geringes Abmaß der Halbleiteranordnung möglich ist.

- 30 Die Halbleiterchips 1, 2, 3 sind in einer vertikalen Systemintegration hergestellt. Dies bedeutet, es besteht auch eine elektrische Verbindung zwischen dem dritten Halbleiterchip 3 und dem ersten Halbleiterchip 1 über Durchkontaktierungen (nicht dargestellt) in dem zweiten Halbleiterchip 2. Die ver-
- 35 tikale Systemintegration ist aus dem Stand der Technik bekannt und beispielsweise in der WO 96/0147 beschrieben.

In der Figur 2 ist ein zweites Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung dargestellt, die sich von der in Figur 1 gezeigten Anordnung dadurch unterscheidet, daß der erste Halbleiterchip 1, der beispielsweise die integrierte Schaltung aufweist, auf seinen beiden Hauptflächen eine aktive Struktur 4, 5 aufweist. Die aktiven Strukturen 4, 5 sind dann über Durchkontaktierungen 6 miteinander verbunden. Weiterhin weisen ein zweiter und ein dritter Halbleiterchip 2, 3 gegenüber dem ersten Halbleiterchip 1 eine größere Fläche auf. Der erste und der zweite Halbleiterchip 1, 2 sind wie im vorherigen Ausführungsbeispiel, über Kontakte 7 elektrisch verbunden. Gleichfalls sind der zweite Halbleiterchip 2 und der dritte Halbleiterchip 3 über Kontakte 7 miteinander verbunden. Der zweite Halbleiterchip 2 könnte beispielsweise eine Spule und einen Kondensator beinhalten. Der dritte Halbleiterchip 3 könnte weitere integrierte Schaltungen aufweisen. Entsprechend den jeweiligen Erfordernissen kann die Größe der Halbleiterchips 1, 2, 3 flexibel angepaßt werden. Durch eine Vergrößerung des Halbleiterchips mit der Spule ist eine bessere Übertragungseffektivität möglich.

Ein drittes Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung ist in der Figur 3 dargestellt. In der Figur 3 besteht die Halbleiteranordnung aus zwei übereinanderliegenden, elektrisch über Kontakte 7 miteinander verbundenen Halbleiterchips 1, 2. Wie in dem vorherigen Ausführungsbeispiel weist der erste Halbleiterchip 1 auf der zu dem zweiten Halbleiterchip 2 zugewandten Oberseite eine aktive Struktur 4 auf. Der zweite Halbleiterchip 2 könnte dann beispielsweise eine Spule und einen Kondensator beinhalten, während der erste Halbleiterchip 1 eine integrierte Schaltung aufweist. Um eine hohe Übertragungseffektivität zu erzielen, wird es vorteilhaft sein, den Halbleiterchip, der die Spule aufweist, so groß als möglich auszuführen. Derjenige Halbleiterchip, der die integrierte Schaltung aufweist, wird in der Regel weniger Fläche benötigen. Die Fläche der jeweils übereinanderliegenden



den Halbleiterchips ist folglich nur durch die einzelne Systemkomponenten bestimmt.

Die erfindungsgemäße Halbleiteranordnung weist somit den Vorteil auf, daß sich die einzelnen Systemkomponenten der Halbleiteranordnung, die insbesondere in kontaktlosen Datenträgern zum Einsatz kommt, kostengünstig und einfach herstellen lassen. Die einzelnen Systemkomponenten einer für diesen Einsatzzweck gedachten Halbleiteranordnung bestehen beispielsweise aus einer integrierten Schaltung, einer Spule, eventuell einem Kondensator sowie weiteren Komponenten, zum Beispiel einem RF-Interface. Die einzelnen Komponenten können dann kosten- und flächengünstig mittels der vertikalen Systemintegration zusammengesetzt werden. Die einzelnen Komponenten können ohne großen Aufwand der jeweiligen Anwendung angepaßt werden. Hierdurch können vorteilhafterweise viele Anwendungen, die im kontaktbehaftenden Betrieb arbeiten, auf einem kontaktlosen Betrieb umgestellt werden. Vorteilhaft ist weiterhin, daß ein komplettes System (bestehend aus der integrierten Schaltung, der Spule und eventuell weiteren Bauelementen) von einem Hersteller hergestellt werden kann. Bei konventionellen Systemen, bei denen die Spule auf einem separaten Träger oder Modul vorgesehen ist, ist der Halbleiterhersteller auf die Zulieferung durch den Spulenhersteller angewiesen.

Die Erfindung ermöglicht eine Vielzahl von Kombinationen von Halbleiterchips. Es wäre beispielsweise denkbar, die integrierte Schaltung mit analogen Bauteilen und einem Kondensator auf einem Halbleiterchip und eine Spule auf einem anderen Halbleiterchip vorzusehen. Alternativ könnte die integrierte Schaltung mit analogen Bauteilen in einem Halbleiterchip, ein Kondensator in einem zweiten Halbleiterchip und eine Spule in einem dritten Halbleiterchip vorgesehen sein. Eine andere Variante könnte die integrierte Schaltung auf einem ersten Halbleiterchip, analoge Bauelemente zusammen mit einem Kondensator auf einem zweiten Halbleiterchip und eine Spule auf

- einem dritten Halbleiterchip vorsehen. Bei der Verwendung von lediglich zwei Halbleiterchips könnte die integrierte Schaltung auf einem ersten, analoge Bauelemente zusammen mit einem Kondensator und einer Spule auf dem zweiten Halbleiterchip
- 5 angeordnet sein. Selbstverständlich wären auch andere Kombinationen denkbar, die eine Optimierung der integrierten Halbleiteranordnung, insbesondere auf einen kontaktlosen Datenträger, ermöglichen würden.

## Bezugszeichenliste

	1	Halbleiterchip
	2	Halbleiterchip
5	3	Halbleiterchip
	4	aktive Struktur
	5	aktive Struktur
	6	Durchkontaktierung
	7	Kontakt
10	8	Kontakt

## Patentansprüche

1. Vertikal integrierte Halbleiteranordnung mit einem ersten Halbleiterchip (1) und zumindest einem zweiten Halbleiterchip (2, 3), die übereinanderliegend angeordnet sind, wobei zumindest ein Halbleiterchip eine integrierte Schaltung aufweist und zumindest ein Halbleiterchip als passives Bauelement ausgebildet ist.
2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß der erste und der zumindest eine zweite Halbleiterchip (1, 2, 3) über Kontakte (7) miteinander elektrisch verbunden sind.
3. Halbleiteranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß als passive Bauelemente eine Spule und/oder ein Kondensator vorgesehen ist.
4. Halbleiteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die integrierte Schaltung, die Spule und der Kondensator jeweils in einem Halbleiterchip untergebracht sind.
5. Halbleiteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die integrierte Schaltung und der Kondensator in dem ersten Halbleiterchip und die Spule in dem zweiten Halbleiterchip vorgesehen sind.
6. Halbleiteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die integrierte Schaltung in dem ersten Halbleiterchip und der Kondensator und die Spule in dem zweiten Halbleiterchip untergebracht sind.

1/1

FIG 1

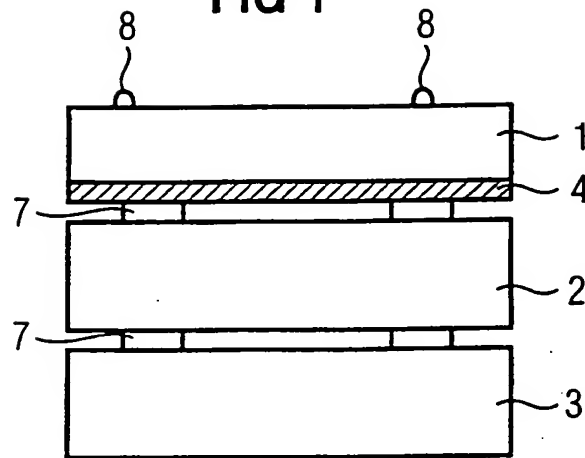


FIG 2

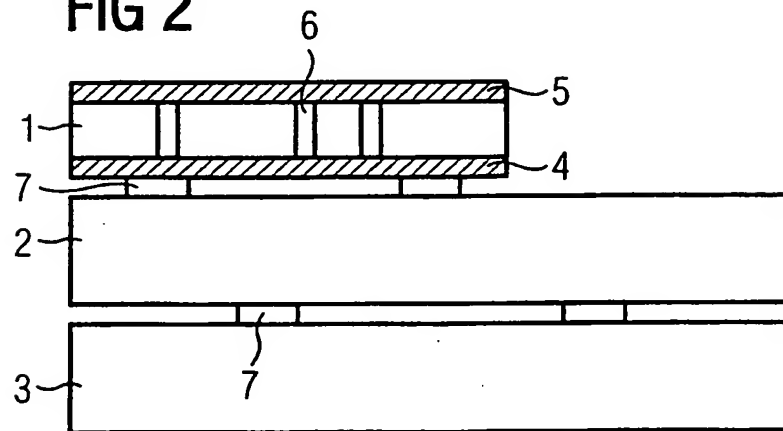
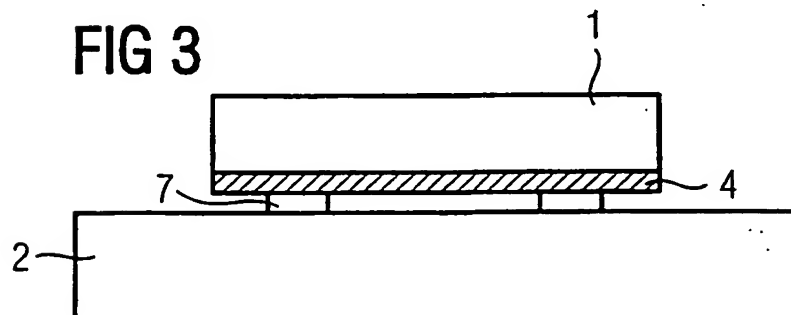


FIG 3



## INTERNATIONAL SEARCH REPORT

Intern:      nal Application No

PCT/DE 99/04032

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7      H01L25/18      H01L23/64

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7      H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 519 582 A (MATSUZAKI KAZUO) 21 May 1996 (1996-05-21)	1
A	column 4, line 18 - line 31; figure 1A	3
A	WO 86 02490 A (AMERICAN TELEPHONE & TELEGRAPH) 24 April 1986 (1986-04-24) claims 1,4; figure 4	1-3
A	EP 0 683 519 A (MATSUSHITA ELECTRIC IND CO LTD) 22 November 1995 (1995-11-22) column 7, line 42 -column 8, line 18; figure 2	2-5
A	EP 0 841 700 A (NIPPON ELECTRIC CO) 13 May 1998 (1998-05-13)	



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

## \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search

10 May 2000

Date of mailing of the international search report

17/05/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

De Raeve, R

# INTERNATIONAL SEARCH REPORT

information on patent family members

Inter: nal Application No

PCT/DE 99/04032

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5519582 A	21-05-1996	JP 6120036 A	28-04-1994
WO 8602490 A	24-04-1986	US 4675717 A	23-06-1987
		CA 1232364 A	02-02-1988
		DE 3581535 D	28-02-1991
		EP 0197089 A	15-10-1986
		JP 4018471 B	27-03-1992
		JP 62500413 T	19-02-1987
EP 0683519 A	22-11-1995	JP 2650871 B	10-09-1997
		JP 8032018 A	02-02-1996
		US 5752182 A	12-05-1998
EP 0841700 A	13-05-1998	JP 2845847 B	13-01-1999
		JP 10144862 A	29-05-1998
		US 6037666 A	14-03-2000

Form PCT/ISA/210 (patent family annex) (July 1992)

# INTERNATIONALER RECHERCHENBERICHT

Inter: nationales Aktenzeichen

PCT/DE 99/04032

**A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 7 H01L25/18 H01L23/64

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 519 582 A (MATSUZAKI KAZUO) 21. Mai 1996 (1996-05-21)	1
A	Spalte 4, Zeile 18 - Zeile 31; Abbildung 1A	3
A	WO 86 02490 A (AMERICAN TELEPHONE & TELEGRAPH) 24. April 1986 (1986-04-24) Ansprüche 1,4; Abbildung 4	1-3
A	EP 0 683 519 A (MATSUSHITA ELECTRIC IND CO LTD) 22. November 1995 (1995-11-22) Spalte 7, Zeile 42 - Spalte 8, Zeile 18; Abbildung 2	2-5
A	EP 0 841 700 A (NIPPON ELECTRIC CO) 13. Mai 1998 (1998-05-13)	

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"I" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindertischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindertischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

10. Mai 2000

Absendedatum des Internationalen Recherchenberichts

17/05/2000

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

De Raeve, R



# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/04032

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5519582	A	21-05-1996	JP	6120036 A	28-04-1994
WO 8602490	A	24-04-1986	US	4675717 A	23-06-1987
			CA	1232364 A	02-02-1988
			DE	3581535 D	28-02-1991
			EP	0197089 A	15-10-1986
			JP	4018471 B	27-03-1992
			JP	62500413 T	19-02-1987
EP 0683519	A	22-11-1995	JP	2650871 B	10-09-1997
			JP	8032018 A	02-02-1996
			US	5752182 A	12-05-1998
EP 0841700	A	13-05-1998	JP	2845847 B	13-01-1999
			JP	10144862 A	29-05-1998
			US	6037666 A	14-03-2000